

[11]公告編號：397307

[44]中華民國 89年(2000) 07月01日

新型

全 9 頁

[51] Int.Cl 06: H03K19/00

[54]名稱：鎖相迴路裝置

[21]申請案號：083218875

[22]申請日期：中華民國 80年(1991) 07月22日

[72]創作人：

沼田博	日本
向後保	日本
北園真一	日本
石川文男	日本
佐藤彰	日本

[71]申請人：

蘇妮股份有限公司 日本

[74]代理人：林志剛 先生

1

2

[57]申請專利範圍：

1.一種鎖相迴路裝置，供使用於合成調諧器中，該裝置由作為本地振盪器用之電壓控制振盪器，預定標器及可程式除法器所組成；

該電壓控制振盪器之輸出依序由預定標器及該可程式除法器除過；

其中除過所得之信號與參考信號比較，以便從電壓控制振盪器獲得所要之頻率；

其中該預定標器包括一第一分頻器、一第二分頻器與一切換開關，該第一和第二分頻器彼此經由切換開關而並聯，以選擇性地設定中間頻率中何時產生拍訊號；且

其中該預定標器與該可程式除法器為串接，使該可程式除法器之除率可根據該預定標器之除率而加以控制。

2.一種數位相位比較器，可比較參考信號振盪器之 \bar{R} 信號與電壓控制振盪器之 \bar{V} 信號的相位並輸出 \overline{up} 或 \overline{DOWN} 信號，

該 \overline{UP} 或 \overline{DOWN} 信號之邏輯單位係根據該 \bar{R} 與 \bar{V} 信號之間的相位差而加以控制，該數位相位比較器包含：

一第一反及電路供該 \bar{R} 信號輸入；

一第四反及電路供該 \bar{V} 信號輸入；

一第二反及電路供該第一反及電路之輸出輸入用，然後輸出至該第一反及電路；

一第三反及電路供該第四反及電路之輸出輸入用，然後輸出至該第四反及電路；及

一第五反及電路供該 \bar{R} 信號，該 \bar{V} 信號，該第一反及電路之輸出及該第四反及電路之輸出輸入用；

其中該第五反及電路輸出係饋至該第二及該第三反及電路；及

其中該第二與該第三反及電路之輸出為該 \overline{UP} 信號及該 \overline{DOWN} 信號，包含有關該 \bar{R} 信號與該 \bar{V} 信號之相位資訊。

20. 3.一種數位相位比較器，比較參考信號振

盪器之 \bar{R} 信號與電壓控制振盪器之 \bar{V} 信號，並輸出一 \overline{UP} 或一 \overline{DOWN} 信號，該 \overline{UP} 或該 \overline{DOWN} 信號之邏輯單位係根據該 \bar{R} 與該 \bar{V} 信號之間的相位差而加以控制，該數位相位比較器包含：

- 一第一反及電路供該 \bar{R} 信號輸入；
- 一第四反及電路供該 \bar{V} 信號輸入；
- 一第二反及電路供該第一反及電路之輸出輸入用，其輸出送至該第一反及電路；
- 一第三反及電路供該第四反及電路之輸出輸入用，其輸出送至該第四反及電路；及
- 一第五反及電路供該 \bar{R} 信號，該 \bar{V} 信號，該第一反及電路之輸出及該第四反及電路之輸出輸入用，其中該第五反及電路之輸出送至該第二和該第三反及電路；
- 一上游電路可傳遞該第二與該第三反及電路之輸出至下游電路作為該 \overline{UP} 與該 \overline{DOWN} 信號，包含有關該 \bar{R} 與該 \bar{V} 信號之相位資訊；
- 一第一邏輯電路供該 \overline{UP} 信號輸入；
- 一第二邏輯電路供該 \overline{DOWN} 信號輸入；及
- 一排斥或，或排斥反或電路供該 \overline{UP} 與該 \overline{DOWN} 信號輸入；

其中該排斥或，或該排斥反或電路之輸出係饋至該第一與該第二邏輯電路，及該第一和該第二邏輯電路之輸出係送至該相位比較器作為改良之 \overline{UP} 和改良之 \overline{DOWN} 信號，該改良之 \overline{UP} 和 \overline{DOWN} 信號含有關該 \bar{R} 與該 \bar{V} 信號之相位資訊。

圖式簡單說明：

第一圖為先前技藝使用於合成調諧器內含有預定標器之鎖相回路裝置。

第二圖為使用於傳統鎖相迴路裝置之先前前技相位檢知器電路圖。

第三圖為本創作第一實施例之合成調諧器的鎖相迴路裝置。

5. 第四圖為一組資料結構用以輸入第三圖第一實施例。

第五圖為第三圖第一實施例中兩組件，解碼器PI的頻帶對預定標器之除法比率的對照表。

10. 第六圖為第三圖第一實施例所處理之資料C的單位表與相對之控制內含。

第七圖為第三圖第一實施例所處理之資料T之單位表與相對之輸出狀態。

15. 第八圖為合成調諧器鎖相迴路之數位相位比較器電路，此相位比較器為本創作第二實施例。

第九圖為第八圖第二實施例工作時，數位相位比較器電器的狀態移轉。

第十圖為第八圖相位超前之波形。

20. 第十一圖為第八圖相位落後之波形。

第十二圖為第八圖相位同步之波形。

25. 第十三圖為使用第八圖之鎖相迴路系統電路圖。

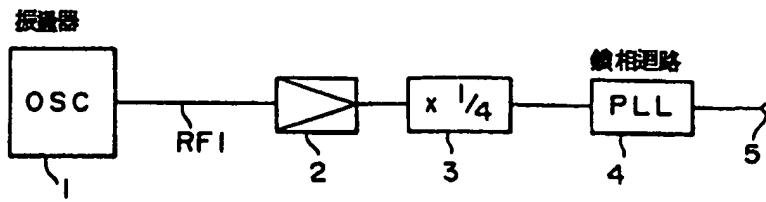
第十四圖為第十三圖工作時，輸出電流特性(偏置)相位圖。

第十五圖為本創作第三實施例數位相位比較器電路。

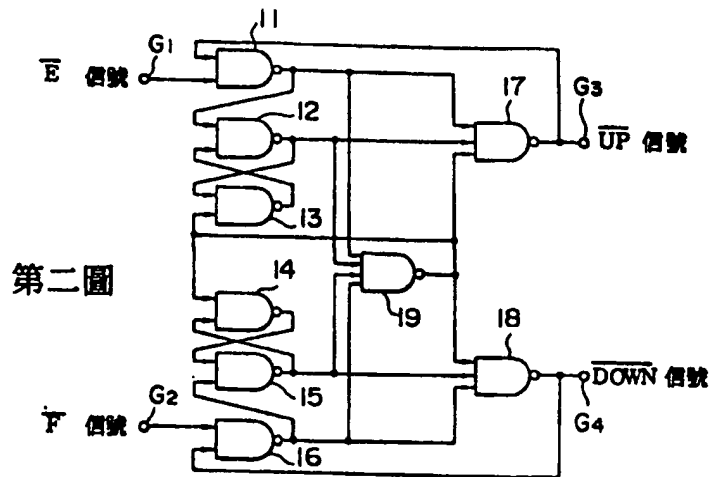
30. 第十六圖(A)至(C)為第十五圖第三實施例偏置去除電路工作之波形。

第十七圖(A)至第十七圖(C)為第十五圖之波形；及

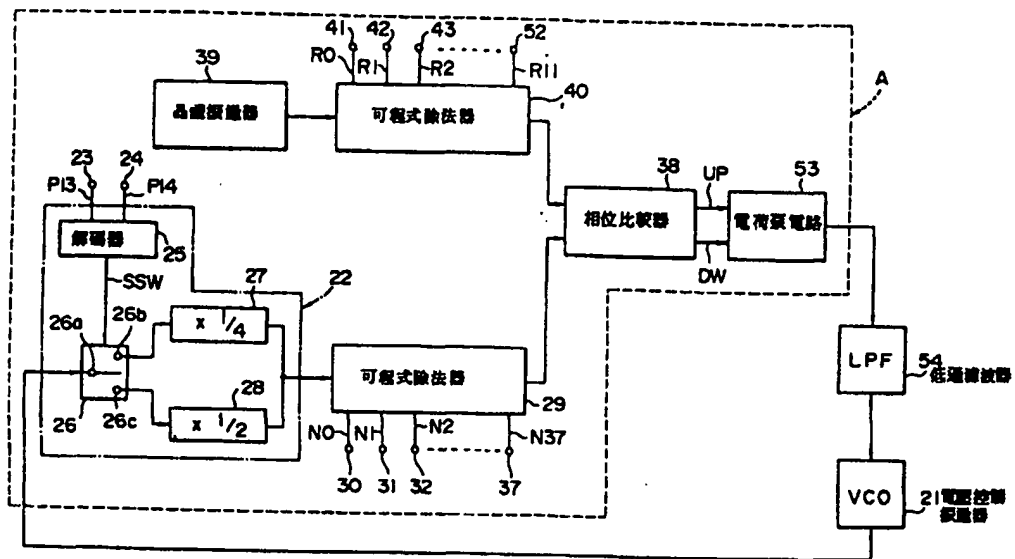
35. 第十八圖為第十五圖合併於鎖相迴路中，其輸入相位對輸出電流特性之說明。



第一圖



第二圖



第三圖

(4)

A DR	R0	R1	R2	R3	R4	R5	R6	R7	R8	R9	R10	R11	PI3	PI4	PI1	PI2	A	B	T1	C
	(C=L)																			
B DN	N0	N1	N2	N3	N4	N5	N6	N7	N8	N9	N10	N11	N12	N13	N14	N15	N16	N17	T2	C
	(C=H)																			

第四圖

PI1	PI2	PI3	PI4		除數真值
L	H	L	L	RF1U 輸入 (預定標器除率: 1/4)	$4 \cdot (N + 8)$
L	H	H	L	RF1U 輸入 (預定標器除率: 1/2)	$2 \cdot (N + 8)$
H	H	L	L	RF2V 輸入 (預定標器除率: 1/4)	$4 \cdot (N + 8)$
H	H	H	L	RF2V 輸入 (預定標器除率: 1/2)	$2 \cdot (N + 8)$
	H		H	RF3F 輸入	$N + 8$
	L		L	RF4A 輸入	$Nm + 2$

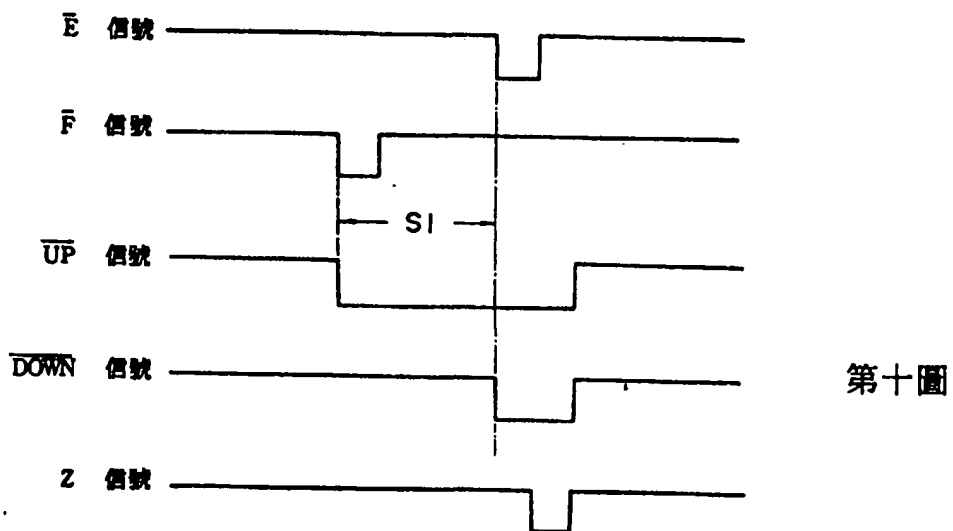
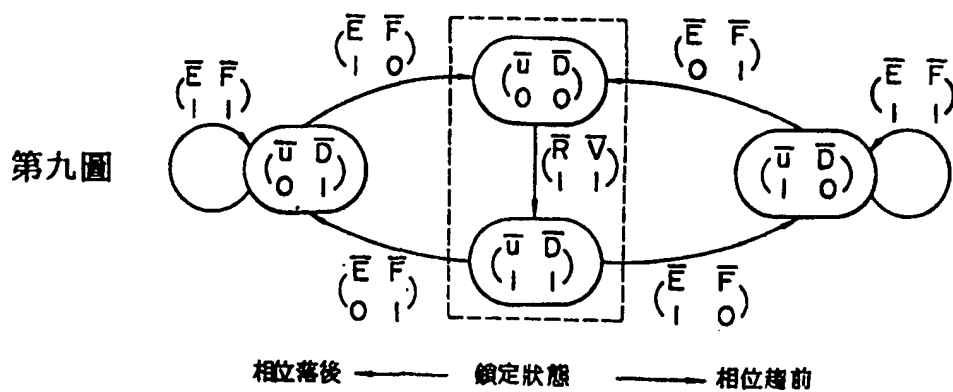
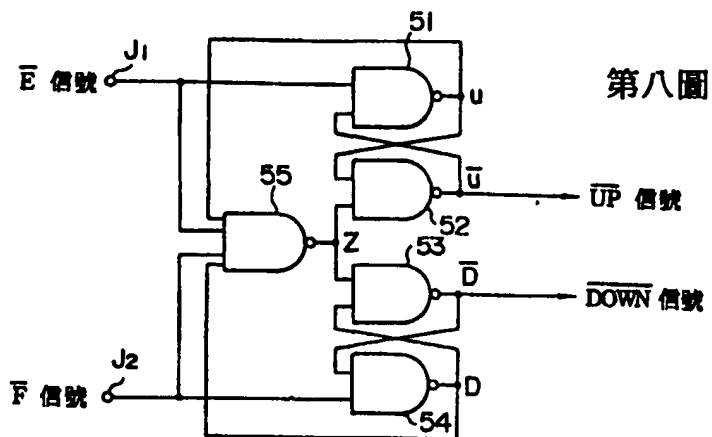
第五圖

C	工作內含
H	輸入至除法器29
L	輸入至除法器40

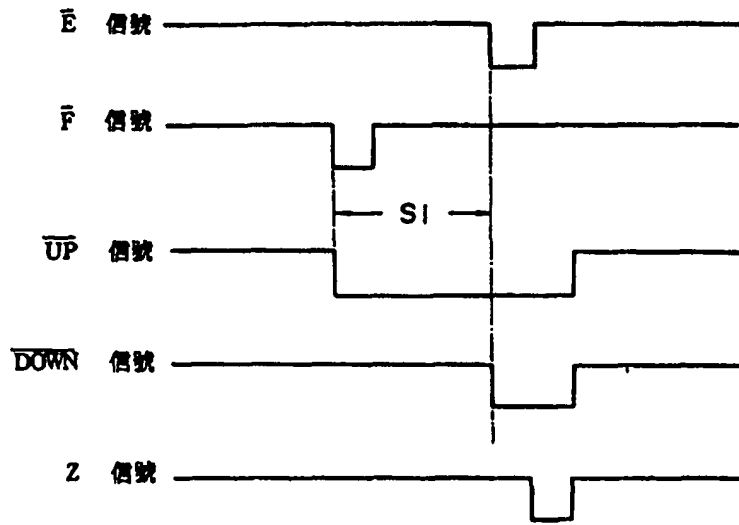
第六圖

	T1	T2	A	B	A O 輸出	B O 輸出
正常模式	L	L			A	B
	H	L			鎖 = H 解鎖 = L	移位暫存器輸出

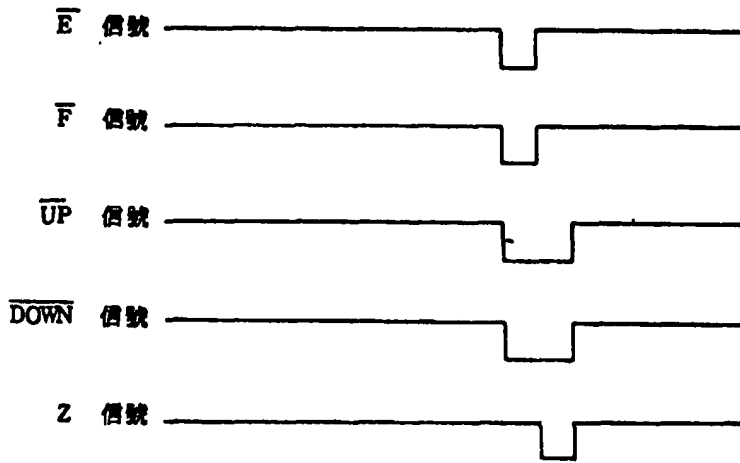
第七圖



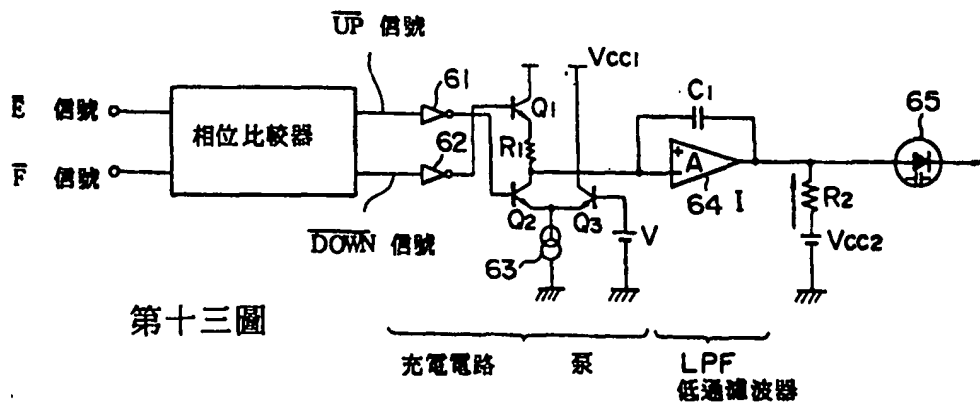
第十一圖

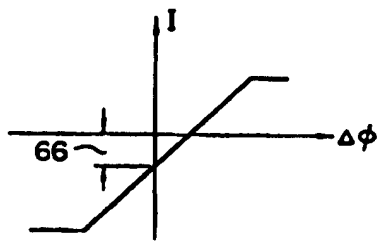


第十二圖

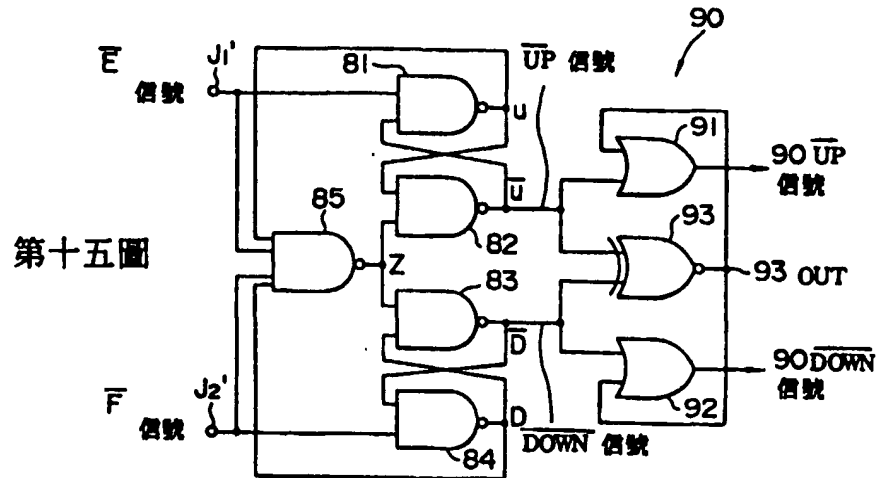


第十三圖

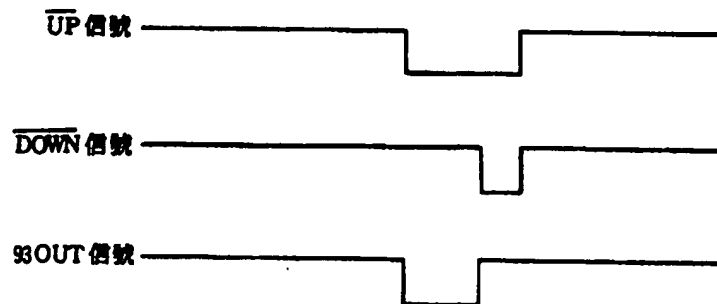




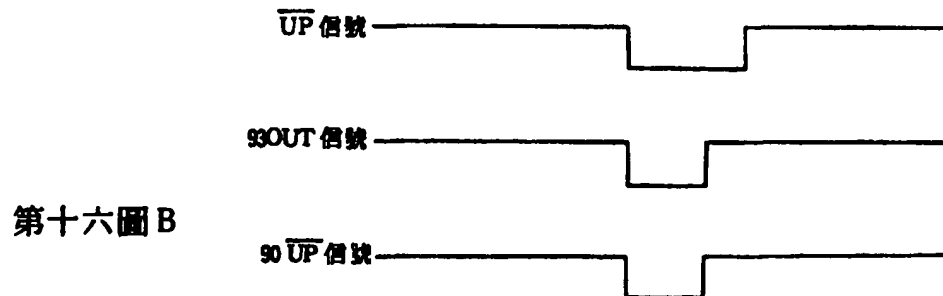
第十四圖



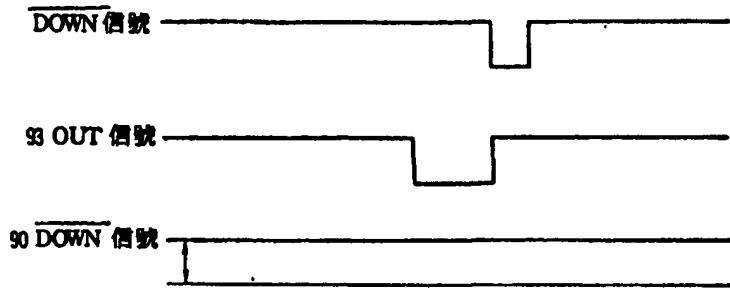
第十五圖



第十六圖 A

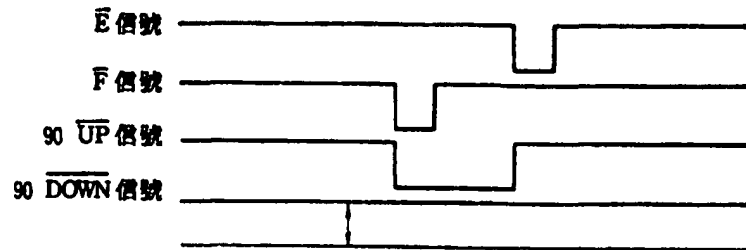


第十六圖 B

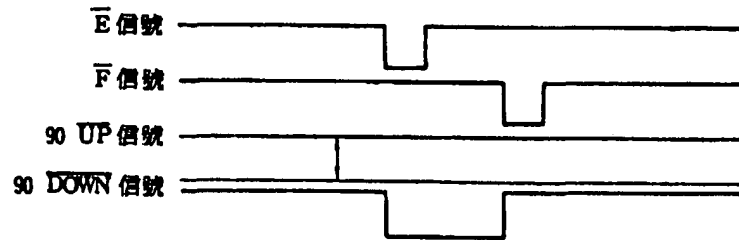


第十六圖 C

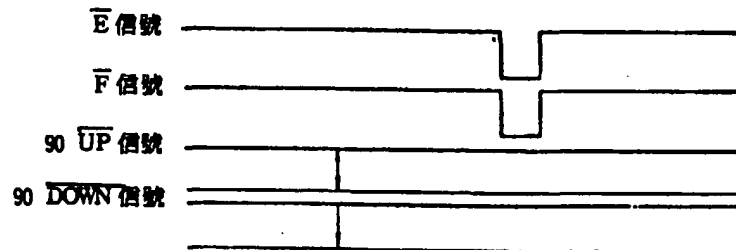
第十七圖 A

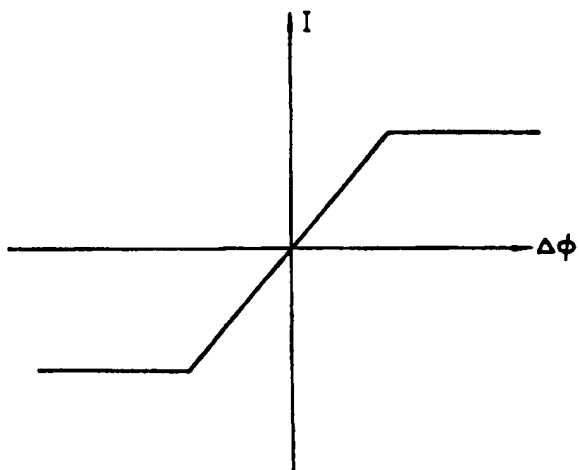


第十七圖 B



第十七圖 C





第十八圖